

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

11087934

Basic Patent (No,Kind,Date): JP 5074763 A2 930326 <No. of Patents: 001>

FORMATION OF GATE INSULATING FILM (English)

Patent Assignee: GTC KK

Author (Inventor): IZAWA HIDEO; TODA KIYOSHI; ISHII MITSUO

IPC: *H01L-021/316; C23C-016/50; H01L-029/784

CA Abstract No: 119(26)284282S

Derwent WPI Acc No: C 93-138193

JAPIO Reference No: 170398E000103

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 5074763	A2	930326	JP 91179994	A	910719 (BASIC)

Priority Data (No,Kind,Date):

JP 91179994 A 910719

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

04083063 **Image available**

FORMATION OF GATE INSULATING FILM

PUB. NO.: **05-074763** [JP 5074763 A]

PUBLISHED: March 26, 1993 (19930326)

INVENTOR(s): IZAWA HIDEO

 TODA KIYOSHI

 ISHII MITSUO

APPLICANT(s): G T C KK [000000] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 03-179994 [JP 91179994]

FILED: July 19, 1991 (19910719)

INTL CLASS: [5] H01L-021/316; C23C-016/50; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 12.6 (METALS --
Surface Treatment)

JAPIO KEYWORD:R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1403, Vol. 17, No. 398, Pg. 103, July
26, 1993 (19930726)

ABSTRACT

PURPOSE: To enable an insulating film which is excellent in level difference coverage, prevents a short circuit from being induced between a gate electrode and a semiconductor layer, and hardly insulates a gate electrode thermally to be formed at a low temperature by a method wherein organic silane is used as reactive gas to form the insulating film through a CVD method.

CONSTITUTION: A substrate 1 where a semiconductor layer 2 is formed is set on a parallel plate type anode electrode specimen table 14 located inside a plasma CVD device chamber 13, and air is exhausted from the chamber 13 through an evacuation, opening. Thereafter, organic silane inside the evaporator 12 is bubbled introducing oxygen into a bubbling carrier gas inlet, oxygen is introduced through an oxygen introducing 10, the silane gas and hydrogen gas are mixed together through a reactive gas mixer 18, and the mixed gas of silane gas and hydrogen gas are introduced into the chamber 13. A high frequency voltage is applied between a parallel plate type cathode electrode and the specimen table 14 by a high frequency power supply 17 to generate plasma between the parallel plate type electrodes. By this setup, a gate insulating film excellent in level difference coverage can be formed.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-74763

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/316

X

8518-4M

C 2 3 C 16/50

7325-4K

H 0 1 L 29/784

9056-4M

H 0 1 L 29/ 78

3 1 1 G

審査請求 未請求 請求項の数3(全 4 頁)

(21)出願番号

特願平3-179994

(22)出願日

平成3年(1991)7月19日

(71)出願人 390028004

株式会社ジーティシー

東京都中央区東日本橋1丁目6番5号

(72)発明者 井澤 秀雄

東京都中央区東日本橋1-6-5 株式会
社ジーティシー内

(72)発明者 戸田 清

東京都中央区東日本橋1-6-5 株式会
社ジーティシー内

(72)発明者 石井 三男

東京都中央区東日本橋1-6-5 株式会
社ジーティシー内

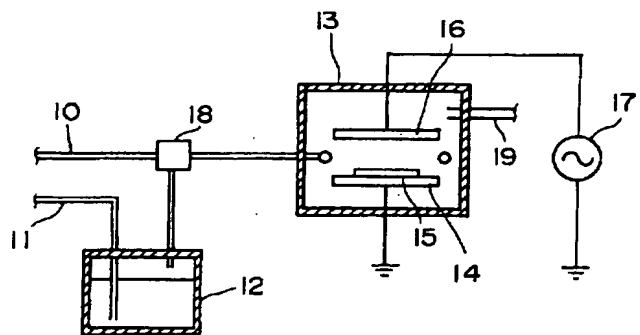
(74)代理人 弁理士 志賀 正武 (外2名)

(54)【発明の名称】 ゲート絶縁膜の形成方法

(57)【要約】

【目的】 段差部分の被覆性に優れ、低温処理可能なゲート絶縁膜形成方法を提供する。

【構成】 反応ガスとして有機シラン材料を用い、プラズマCVD法によりゲート絶縁膜を成膜する。



【特許請求の範囲】

【請求項1】 反応ガスとして有機シラン材料を用い、プラズマCVD法により成膜することを特徴とするゲート絶縁膜の形成方法。

【請求項2】 前記プラズマCVD法は、平行平板電極型のCVD装置を用いるものであり、かつ、ガス圧力P (Torr) と基板電極間距離d (cm) との積 $P \cdot d$ が5以上となる条件で成膜する請求項1記載のゲート絶縁膜の形成方法。

【請求項3】 ゲート絶縁膜をプラズマCVD法により成膜した後、不活性ガス雰囲気中でアニールする請求項2記載のゲート絶縁膜の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、ゲート絶縁膜の形成方法に関し、ことに、薄膜トランジスタのゲート絶縁膜の形成にきわめて有用な方法に関するものである。

【0002】

【従来の技術】一般に、ガラスなどの低融点基板上に薄膜トランジスタなどのゲート絶縁膜を形成する場合、高温での気相反応を伴う熱酸化法を用いることができないため、主に、SiH₄を用いたプラズマCVD (Chemical Vapor Deposition) 法あるいは常圧CVD法などを用いてゲート絶縁膜となるSiO₂を形成している。このように、従来のプラズマCVD法などによるゲート絶縁膜形成方法は主にSiH₄を用いるものであり、この方法によると、配線などの段差部分の被覆性 (ステップカバレッジ) に問題が生じる。すなわち、図2に示すように、このような方法によって、基板1上に形成された所定パターンの半導体層2の上にゲート絶縁膜3を形成すると、このゲート絶縁膜3の段差部分3aはオーバーハング形状となり、段差下部の膜厚が薄くなってしまふ。その結果、ゲート絶縁膜3の上にゲート電極4を形成した場合、このゲート絶縁膜3の膜厚の薄い部分での絶縁破壊が起こり易く、しばしばゲート電極4と半導体層2間がショートしてしまう事故が起こっていた。また、ゲート電極4の断線も起こり易く、これも歩留り低下の一因となっていた。

【0003】

【発明が解決しようとする課題】この発明が解決しようとする課題は、段差部分の被覆性に優れ、ゲート電極と半導体層間のショートおよびゲート電極の断線が起きにくいゲート絶縁膜を低温で形成することのできる方法を提供することにある。

【0004】

【課題を解決するための手段】この発明は、上記課題を解決するため、反応ガスとして有機シラン材料を用い、プラズマCVD法によりゲート絶縁膜を成膜するものである。また、前記プラズマCVD法としては、平行平板電極型のCVD装置を用い、かつ、ガス圧力P (Torr)

r) と基板電極間距離d (cm) との積 $P \cdot d$ が5以上となる条件で成膜するのが好ましい。さらに、ゲート絶縁膜をプラズマCVD法により成膜した後、窒素などの不活性ガス雰囲気中でアニールすることによって、より特性の優れたゲート絶縁膜を得ることができる。

【0005】この発明のゲート絶縁膜形成方法は、薄膜トランジスタのゲート絶縁膜だけでなく、MISトランジスタ一般のゲート絶縁膜など、あらゆる種類のゲート絶縁膜の形成に用いることができる。また、ゲート絶縁膜としては、SiO₂、Si₃N₄などの絶縁材料により成膜することも可能である。上記有機シラン材料としては、TEOS (テトラエチルオルトシリケート)、2, 4, 6, 8-テトラメチルシクロテトラシロキサン)、ジエチルシラン、3エトキシシラン、2エチルシラン、4メチルシクロテトラシロキサンなど、各種有機シラン材料を用いることができる。プラズマCVD法によりSiO₂などのゲート絶縁膜を形成するためのガス圧力Pは、通常、0.1~6Torrが好ましい。また、有機シラン材料としてTEOSを用いたときの酸素とTEOSとのガス混合比は、酸素/TEOS=5~30であることが好ましい。また、アニールは、窒素ガス、アルゴンガスなどの不活性ガス、あるいはこれに酸素を適量混合した雰囲気中で行われる。この場合の処理温度および処理時間は、用いる基板および形成する絶縁膜の種類によって異なるが、ガラス上に薄膜トランジスタ用SiO₂絶縁膜を形成する場合には、500~600°C、30分~4時間の範囲内で行うことが好ましい。また、Si₃N₄を形成する場合には、酸素を含まない有機シラン材料を用い、パブリック用キャリアガスとしてN₂あるいはHeなどの不活性ガスを、また、導入酸素の代わりにNH₃、N₂H₄などを用いてSiO₂絶縁膜形成の場合と同様に行なえばよい。

【0006】プラズマCVD法により有機シラン材料を用いて形成したSiO₂絶縁膜は、従来、LSIなどの層間絶縁膜として利用されてはきたが、この場合、プラズマCVDは成膜速度の大きな領域で用いられており、生成される膜質はきわめて粗いものであった。この発明は、本発明者等が多くの実験と研究を重ねた結果、図4に示すように、平行平板電極型のCVD装置を用いる場合、成膜ガス圧力P (Torr) と基板電極間距離d (cm) との積 $P \cdot d$ と成膜速度および緩衝フッ酸 (BF₃HF) などに対するエッチングレートとの間に一定の関係があることを見出したことに基づいてなされたものである。この図において、エッチングレートはSiO₂酸化膜の緻密性を示しており、小さければ小さいほど緻密で良質な膜であると考えられる。この図によれば、 $P \cdot d$ が5以上の領域でエッチングレートが2000オングストローム/分となり、従来用いられてきたSiH₄によるSiO₂絶縁膜以上の緻密なゲート絶縁膜を形成することができる。

【0007】

【作用】プラズマCVD装置チャンバ内の試料台上に所定パターンの半導体層を形成した基板がセットされ、チャンバ内部が高真空とされた後、所定流量の有機シランガスを含む反応ガスが導入される。同時に、高周波電源その他の手段によって基板近傍にプラズマを発生させる。すると、基板近傍の反応ガスはプラズマによって活性化され、化学反応を起こし、基板上にSiO₂膜などのゲート絶縁膜が生成されることになる。この生成反応はプラズマによって反応ガスを活性化するものであるため、低い温度での成膜が可能となる。また、平行平板電極型のCVD装置を用い、チャンバ内部の反応ガス圧Pと、カソード電極と基板1間の距離dとの積P・dを5以上とすれば、生成されるゲート絶縁膜はきわめて緻密ものとなり、ステップカバレッジも向上する。さらに、ゲート絶縁膜を形成後、窒素などの不活性ガス中でアニールすれば、このゲート絶縁膜のリーク電流は減少し、電気特性が向上する。

【0008】

【実施例】以下、実施例を示してこの発明の作用、効果を明確にする。図1に示すように、プラズマCVD装置チャンバ13内に設けられた平行平板型電極のアノードを構成する試料台14上に、所定パターンの半導体層2が形成された基板1をセットし、チャンバ13内部の空気を真空排気口19から排出して高真空とした。その後、気化器12内の有機シラン材料TEOSを2.0℃にして、バブリング用キャリアガス導入口11から酸素を40 sccm (Standard cc/min) 流してバブリングを行い、TEOSを気化させると同時に、酸素導入口10から酸素を50 sccm導入し、反応ガス混合器18によりこの酸素と前記気化させたTEOSガスとを混合して、チャンバ13内に導入した。そして、高周波電源17により平行平板型電極のカソード16と試料台14と

の間に高周波電圧を印加し、平行平板型電極間にプラズマを発生させた。このときのRFパワーは13.56Hzで0.3W/cm²であり、また、チャンバ13内の反応ガス圧は0.8 Torr、カソード電極16と基板1間の距離dは7.5cmであり、このため、P・d積は6であった。基板1の温度はほぼ350℃に保たれた。その結果、プラズマと反応ガスとの相互作用によって、基板1上にSiO₂酸化膜が形成された。

【0009】チャンバ13内にTEOSガスを導入するには、上記のようなバブリングによらない方法もある。たとえば、TEOSが入っている気化器12内の温度を上昇させてTEOSの蒸気圧を上昇させ、このTEOSガスをマスフローコントローラにより直接制御してチャンバ内に導入することもできる。このマスフローコントローラによる方法によれば、TEOSなどの有機シラン材料導入量をより精確に制御することができ、より優れた絶縁膜の形成が可能となる。

【0010】図3は、上記の条件で、基板1および半導体層2上にSiO₂酸化膜3を形成し、その後、この上にA1のゲート電極膜4をスパッタ法により形成した場合の成膜状態を示す薄膜トランジスタの部分断面図である。この図から明らかなように、半導体層2の段差部分の壁面にもきわめて緻密なSiO₂膜3が均一に充分堆積しており、従来の方法による場合に発生するオーバーハングが全く発生していないことが分かる。

【0011】次に、このようにして形成したゲート絶縁膜の界面準位密度およびリーク電流について電気特性を調べた。また、このゲート絶縁膜を窒素中で600℃、2時間のアニールを行ない、その界面準位密度およびリーク電流についても電気特性を調べた。これらの結果を表1に示す。

【0012】

【表1】

	As Depo	窒素中700-1600°C, 2hr
界面準位密度 (cm ⁻² eV ⁻¹)	8.1×10 ¹⁰	6.4×10 ¹⁰
リーク電流 (A/cm ²)	5.9×10 ⁻¹⁰	5.0×10 ⁻¹¹

【0013】これらの結果から明らかなように、上記のようにして形成したゲート絶縁膜は、良好な電気特性を有しており、また、このゲート絶縁膜を窒素中でアニールすることによってリーク電流を1桁以上減少させることができ、その電気特性をさらに向上させることができる。これは、薄膜トランジスタ、MISトランジスタなどのゲート絶縁膜として十分な特性を持つものである。

なお、表1におけるリーク電流は、2MV/cmの電界を加えて測定されたものである。また、チャンバ内の反応ガス圧Pおよびカソード電極と基板1間の距離dを種々変えてP・d積を1～8まで変化させるとともに、他の条件については前記の実施例と同様にして、プラズマCVD法によりゲート絶縁膜をそれぞれ形成した。これらのゲート絶縁膜の段差被覆性、電気特性を調べ、ま

た、このゲート絶縁膜を窒素中で前記実施例と同様のアニールを行ない、その電気特性についても調べた。その結果、 $P \cdot d$ 積が5以上の領域で成膜したときに段差被覆性の優れたゲート絶縁膜が得られた。そして、この $P \cdot d$ 積が5以上の領域で成膜したゲート絶縁膜は、良好な電気特性を有しており、また、このゲート絶縁膜を窒素などの不活性ガス中でアニールすることによって、その電気特性をさらに向上させることができることが確認された。

【0014】

【発明の効果】以上、詳細に説明したように、この発明のゲート絶縁膜形成方法は、反応ガスとして有機シラン材料を用い、プラズマCVD法により成膜するものであり、これによって、段差部分の被覆性に優れ、ゲート電極と半導体層間のショートおよびゲート電極の断線が起きにくいゲート絶縁膜を低温で形成することができる。したがって、低融点の基板を用いる薄膜トランジスタの

ゲート絶縁膜の形成には特に有効である。

【図面の簡単な説明】

【図1】 この発明のゲート絶縁膜形成方法の実施に用いられるプラズマCVD装置を示す断面図である。

【図2】 従来の方法により形成されたゲート絶縁膜の成膜状態を示す薄膜トランジスタの部分断面図である。

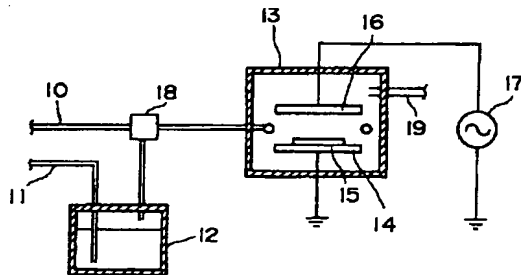
【図3】 この発明の方法により形成されたゲート絶縁膜の成膜状態を示す薄膜トランジスタの部分断面図である。

【図4】 成膜条件 $P \cdot d$ 積と成膜速度およびエッチングレートとの関係を示すグラフである。

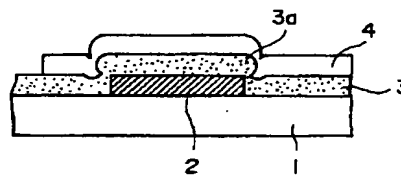
【符号の説明】

1…基板、2…半導体層、3…ゲート絶縁膜、4…ゲート電極、10…酸素導入口、11…バブリング用キャリアガス導入口、12…気化器、13…プラズマCVD装置チャンバ、14…試料台、16…カソード、17…高周波電源、18…反応ガス混合器、19…真空排気口

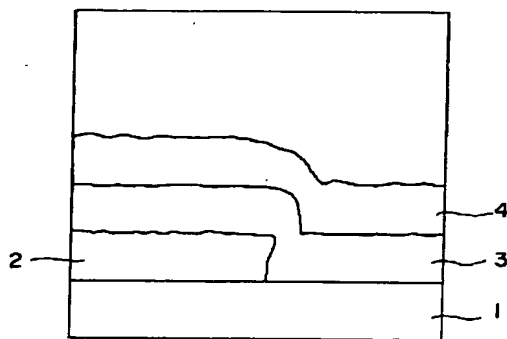
【図1】



【図2】



【図3】



【図4】

